

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02054371 A

(43) Date of publication of application: 23.02.90

(51) Int. Cl

G06F 15/60

(21) Application number: 63205835

(71) Applicant: NEC IC MICROCOMPUT SYST LTD

(22) Date of filing: 18.08.88

(72) Inventor: FUKUDA MACHIKO
NAKANISHI KAZUHIKO

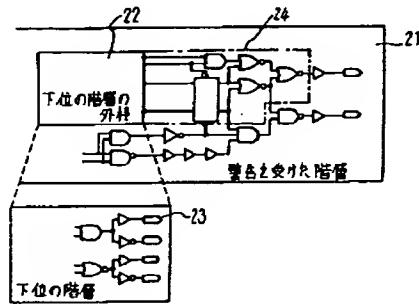
(54) REFORMING METHOD FOR LOGIC CIRCUIT

(57) Abstract:

PURPOSE: To reform a logic circuit by producing a warning to urge correction when the number of logical elements and the number of connection terminals exceed each limit value for each hierarchy and performing the correction with the division and mergence carried out among hierarchies of the logic circuit.

CONSTITUTION: The control value is inputted for each hierarchy of a logic circuit, and this logic circuit is designed by means of a CAD. When the design is through with one block of a certain hierarchy, the number of logical elements and the number of connection terminals are calculated for the block. When this calculated value exceeds a limit level, a warning message is outputted to urge the correction. Then a designer merges a range 24 with an outer frame 22 showing a lower rank hierarchy 23 and performs the reformation to a hierarchy 21 that received a warning.

COPYRIGHT: (C)1990,JPO&Japio



⑪ 公開特許公報(A)

平2-54371

⑤Int.Cl.⁵
G 06 F 15/60識別記号
360 K府内整理番号
8125-5B

⑥公開 平成2年(1990)2月23日

審査請求 未請求 請求項の数 1 (全3頁)

⑦発明の名称 論理回路再編成方法

⑧特 願 昭63-205835

⑨出 願 昭63(1988)8月18日

⑩発明者 福田待子 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑪発明者 中西一彦 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑫出願人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑬代理人 弁理士 内原晋

明細書

発明の名称

論理回路再編成方法

特許請求の範囲

CADによる論理回路の設計において、設計した論理回路が各階層ごとに設定した論理素子数と接続端子数との少なくとも一方の制限値を越えたかを判定して越えたときに警告を送出する検証手段と、前記警告を受けたとき表示した論理回路に指定した修正範囲を読みませる入力手段と、読み込んだ前記修正範囲に従って修正された階層の制限値が越えなかったとき論理回路の分割と併合とを行なう再編成手段とを有することを特徴とする論理回路再編成方法

発明の詳細な説明

(産業上の利用分野)

本発明は論理回路再編成方法、特にCADによる論理回路設計において、論理回路を併合および

分割するときに用いる論理回路再編成方法に関する。

〔従来の技術〕

従来、この種の論理回路再編成方法は論理回路を階層的に設計する場合に、各階層ごとに収容し得る論理素子数および接続端子数が制限値を越えないように、論理回路を併合および分割するときの方法で、論理素子数および接続端子数が制限値を越えたか否かの判定は、表示装置に表示した論理回路を目視によって計数するか、別のシステムを用いて検査している。また、階層を越えて回路を修正するときは、該当する階層とその上位あるいは下位の階層との双方を修正している。

〔発明が解決しようとする課題〕

上述した従来の論理回路再編成方法は、各階層毎の論理素子数や接続端子数の検査を目視か別のシステムで実行しなければならないことと、階層を越えての回路の修正を該当する階層とその上位あるいは下位の階層との双方で行なわなければならないこととのために、論理回路設計が繁雑で設

計期間が長くなるという欠点がある。

本発明の目的は、各階層ごとの論理素子数および接続端子数を自動的に算出し、制限値を越えたときには設計者に警告して修正を促し、制限値を越えた論理回路を修正すれば、その上位または下位の回路が自動的に分割または併される論理回路再編成方法を提供することにある。

[課題を解決するための手段]

本発明の論理回路再編成方法は、CADによる論理回路の設計において、設計した論理回路が各階層ごとに設定した論理素子数と接続端子数との少なくとも一方の制限値を越えたかを判定して越えたときに警告を送出する検証手段と、前記警告を受けたとき表示した論理回路に指定した修正範囲を読みませる入力手段と、読み込んだ前記修正範囲に従って修正された階層の制限値が越えなかつたとき論理回路の分割と併合とを行なう再編成手段とを有することにより構成される。

[実施例]

次に、本発明の実施例について図面を参照して

説明する。

第1図は本発明の一実施例のフロー図で、第1図(a)は全体の構成を示していて、論理回路の階層ごとの論理素子数および接続端子数の算出を行ない検証するステップ①と、次いで検証の結果により修正した論理回路を再編成するステップ②とから構成される。第1図(b)および(c)はよれぞれ第1図(a)のステップ①およびステップ②のフローを示している。第1図(b)のフローでは、先ず論理回路の階層ごとの制限値を入力する(ステップ⑩)。次いで従来のCADを用いた手法により論理回路の設計を行なう(ステップ⑪)。或る階層に属する1つのブロックの設計が終了すると、そのブロックでの論理素子数および接続端子の算出を行なう(ステップ⑫)。次いでこの算出値が制限値を越えていないかを調べ(ステップ⑬)、制限値内にあればステップ⑭に戻って別のブロックの設計を行なうが、制限値を越えていれば警告メッセージを出力する(ステップ⑮)。第1図(c)のフローでは、第1図(b)

のフローで警告を受けた論理回路を表示器上に表示し、分割または併合の修正部分を図示する(ステップ⑯)。次に修正により警告を受けた階層を小さくし、上位の階層を広げたかを調べ(ステップ⑰)、上位の階層を広げたのであれば、上位の階層を広げたことにより上位の階層が制限値を越えてないか調べる(ステップ⑱)。このステップで制限値を越えていなければ、図示した修正に従って回路の再編成を行なう(ステップ⑲)。ステップ⑱で制限値を越えていれば、ステップ⑯に戻って修正部分の図示をやり直す。またステップ⑰で警告を受けた階層を小さくするのに下位の階層を広げたのであれば、下位の階層が制限を越えていないかを調べる(ステップ⑳)。次いでこのステップ⑳でもステップ⑱と同様の処理が行なわれる。

第2図は本発明の適用例を示す回路図である。第2図(a)は本発明による処理前の回路図であり、設計者が制限値を越えて警告を受けた階層21に対して、下位の階層23を示す外枠22に

範囲24を併合して広げる指示を与えている状態を示している。第2図(b)は本発明による処理後の回路図で、上記の指定により自動的に再編成され、制限内に収った階層25と広くなった下位の階層27の外枠26とが示されている。

[発明の効果]

以上説明したように本発明は、CADによる論理回路の設計において、各階層に収容し得る論理素子数や接続端子数が制限値を越えたときに、直ちに警告が発せられ、設計者は表示させた論理回路図に修正箇所を図示するだけで、論理回路の階層間の分割あるいは併合を行なって再編成ができるので、設計期間の短縮および作業の省力化ができる効果がある。

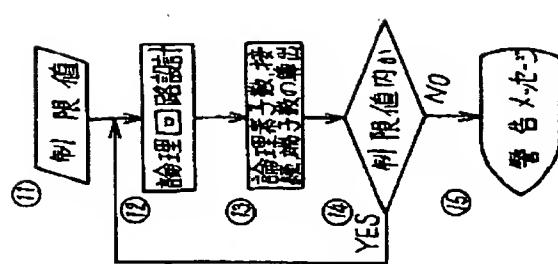
図面の簡単な説明

第1図(a)、(b)および(c)は本発明の一実施例のフロー図、第2図(a)および(b)は本発明の適用例を示す回路図である。

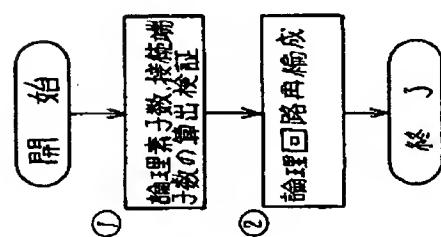
21…警告を受けた階層、22…下位の階層の

外枠、23…下位の階層、24…下位の階層を広げる範囲の指示、25…制限内に収まつた階層、26…広くなつた下位の階層の外枠、27…広くなつた下位の階層。

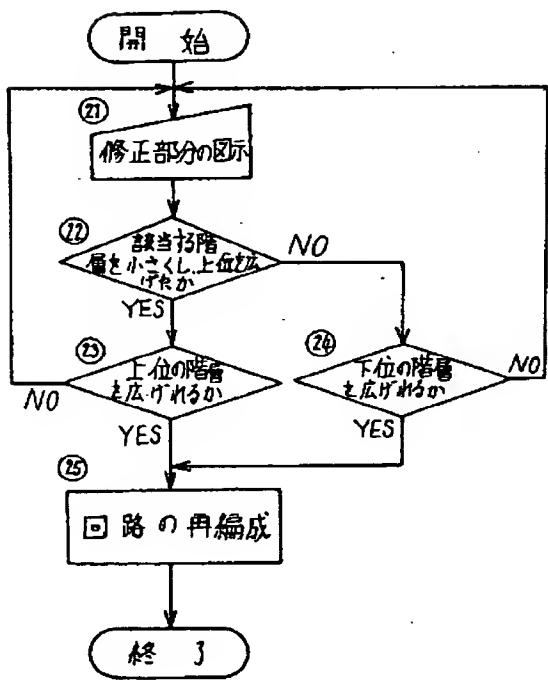
代理人 弁理士 内 原 駿



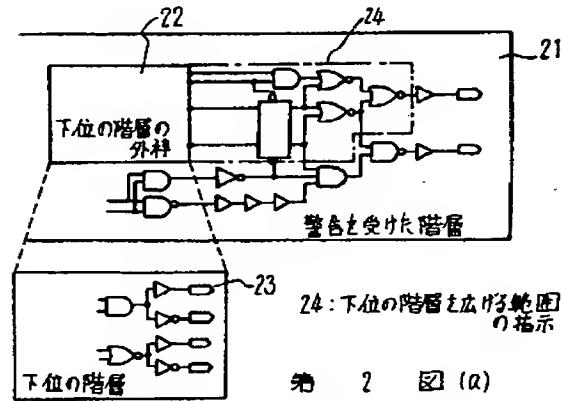
第1 図 (b)



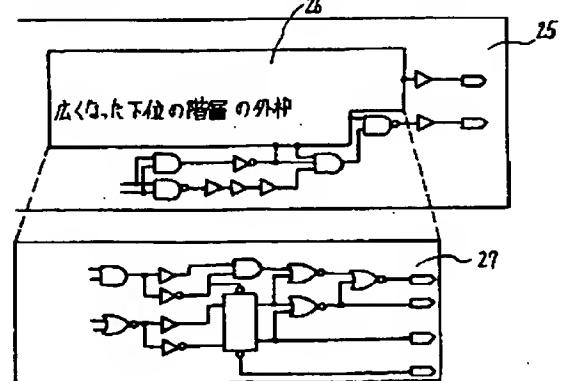
第1 図 (a)



第1 図 (c)



第2 図 (a)



第2 図 (b)